

777

JP 35703

FEB 1982

A

52 E 111

**(54) SEMICONDUCTOR DEVICE**

(11) 57-31166 (A) (43) 19.2.1982 (19) JP

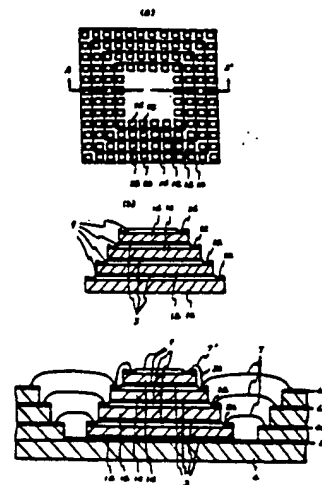
(21) Appl. No. 55-105911 (22) 31.7.1980

(71) FUJITSU K.K. (72) JIYUNJI SAKURAI

(51) Int. Cl.<sup>3</sup> H01L23/48, H01L21/58

**PURPOSE:** To provide a compact and high capacity semiconductor device, by a method wherein IC chips laminated into multilayer are housed in a package which has inner pads placed in a shape of steps and the inner pads are connected to the corresponding outer conducting pads of the chips.

**CONSTITUTION:** IC chips 1a~1d are piled and fixed with adhesive material 3 such as insulating resin, conductive resin or soldering material on the stage 5 of a package 4. The required connecting pads 2a, 2b, 2c of the chips and inner pads 6a, 6b, 6c of the multilayer constructed package 4 are connected with wires 7. The surface of each chips is protected by an insulating film 9. The required connecting pad 2d of the chip 1d at the top stage and the required pad 2c of the chip 1c of the lower stage are connected with a wire 7'. The inner pads 6a~6c of the package and corresponding pads 2a~2c of the multilayer IC chips 1a~1d are to be placed on almost a same level. Thus the yield of the multilayer IC production is improved and the compact and high capacity devices are provided.



257/724

Translation]

(19) Japan Patent Office (JP)

(12) Patent Release (A)

(11) Patent Application Release

Sho.57(1982)-31166

(43) Release Date: Feb. 19, 1982

(51) Int.Cl <sup>3</sup>	Identification No.	Agency Control No.
H 01 L 23/48		6819-5F
21/58		6679-5F

Number of inventions: 1

Examination request: Not yet requested

(Total: 4 pages)

-----  
(54) Semiconductor Device

(21) Patent Application: Sho.55(1980)-105911

(22) Application Date: July 31, 1980

(72) Inventor: Junji Sakurai  
c/o Fujitsu Corp.  
1015 Kami-Odanaka, Nakahara-ku  
Kawasaki-shi [Japan]

(71) Applicant: Fujitsu Corp.  
1015 Kami-Odanaka, Nakahara-ku  
Kawasaki-shi [Japan]

(74) Agent: Koshiro Matsuoka, Patent Attorney

### Specifications

1. Name of Invention: Semiconductor device

2. Scope of Patent Application

(1) In a semiconductor device wherein semiconductor-element stacked layers integrate the elements in the multiple layers and a multi-layered semiconductor integrated circuit (IC) chip having conductive pads installed for connecting each layer to the outside is contained within a package, a semiconductor device characterized by the internal pads inside the said package being installed in multiple layers in a stepped form, and by both the above-noted conductive

pads and the internal pads of each corresponding layer being connected through external conductors.

(2) The semiconductor device described in Application Item 1, which is characterized by the above-noted external conductor being a bonded wire.

(3) The semiconductor device described in Application Item 1, which is characterized by the shape of the above-noted conductive pads and the shape of the above-noted internal pads being formed to match each other, and by the above-noted multi-layered semiconductor IC chip being connected via electrode pads in a face-down mode and being the above-noted external conductor.

### 3. Detailed Explanation of Invention

This invention pertains to the structure of a semiconductor device in which are installed multi-layered semiconductor IC chips. In electronic equipment such as electronic calculators or communication equipment, increasing the packaging density of the semiconductor device is extremely important to working out the structure's miniaturization and bulked-up storage. For the sake of this goal in such semiconductor ICs as large-scale integrated circuits (LSI), structures for increasing element integration in each package include (1) structures aligning multiple LSI chips in a single semiconductor package, (2) structures forming semiconductor elements on chips' [word illegible], (3) structures stacking semiconductor packages mounting LSI chips and (4) structures forming a semiconductor layer on a dielectric layer on an LSI, making the said semiconductor layer monocrystalline by laser-annealing and forming an LSI on the said monocrystalline semiconductor layer. (See Nikkei Electronics 2:18 (1980) p.82) Although in the structure of (1)~(3) one cannot expect broad improvement in mounting density for [word illegible] and equipment, and integration and packaging density are broadly increased in the structure of (4), the circuit terminals of each layer are not exposed. So, there has been the problem that individually inspecting the processing function of LSIs formed on each layer and the circuit function of the circuits has been arduous.

In view of this problem, this invention is to provide a semiconductor device which stacks integrated circuit (IC) chips, restrains to the utmost the enlargement of packaging dimensions so as to broadly increase the IC's packing density per package, and encloses within packages multi-layered semiconductor IC chips with a structure making it

possible to measure each process function and circuit function for each IC chip.

I.e., in a semiconductor device having element-integrating layers stacked into several layers in which semiconductor elements are integrated and having multi-layered semiconductor IC chips with conductive pads installed to connect each layer with the outside are contained in a package -- this invention is characterized by the internal pads in the said packages being installed in multiple layers in stepped form, and by the internal pads being connected to the above-noted conductive pads of matching layers through external conductors.

In the following, I will explain this invention in detail, using Figures 1 and 2 which show two application examples of the chip stacked-layer structure in top surface diagram (a) and cross-sectional diagram at the A-A' arrows (b), and Figures 3 and 4 which show cross-sectional typical diagrams of two application examples of chip-mounting structure in the package.

These semiconductor IC chips used in the multi-layered semiconductor IC of this application example as each element's integrating layer follow the fabrication processes ordinarily applied, such as for MIS type ICs. They complete the forming of a gate oxide film, gate electrode, source and drain region, wiring, etc. Leaving only the bonding pad exposed as the conductive pad for the wiring, the upper surface is covered with a surface-protecting dielectric film of [two words illegible] glass (PSG). In some cases bump electrodes are formed on the above-noted bonding pads.

Then, for example, in the stacked-layer structure of a multi-layered semiconductor IC such as shown in Figures 1(a) and (b), the desired number of bonding pads 2a, 2b, 2c or 2d are formed in the electrode [unclear word] areas along semiconductor IC chip 1a of the first layer, chip 1b of the second layer, chip 1c of the third layer and chip 1d of the fourth layer, with the size of each layer's chip being gradually made smaller than the one below it so that each layer's chip will have a perimeter (outer edge) extending beyond the edge of the chip above it. (9 in the figures represents the surface-protecting dielectric film.)

Adhesive layer 3 for when these semiconductor IC chips are laminated is made of such dielectric resins as silicon resin, epoxy resin or polyimide, or such conductive adhesives as silver paste or alloys such as gold-tin (Au-Sn) with wax. In using a wax material with the above to make

them adhere, one must first have formed a metallic layer of gold or the like on the underlying semiconductor IC chip's surface-protecting dielectric film. In structures that do the affixing with a conductive adhesive or a wax, it is advantageous to form a contact window in a desired location other than the edges of the surface-protecting dielectric film 9 of the next chip below, and to make an electrical connection in a vertical direction with a desired region of the upper chip through the above-noted conductive adhesive or wax material.

Also, in the separate application example represented in Figures 2(a) and (b) for a structure where semiconductor IC chips of the same size are stacked, each semiconductor IC chip's bonding pads, such as 2a, 2b, 2c and 2d of 1a, 1b, 1c and 1d are formed only along the edges where the said chips abut each other. Then, the same kinds of dielectric resin, conductive resin or wax are used as adhesive layer 3 when stacking the chips. (9 in the figure indicates the surface-protecting dielectric film.)

The semiconductor device of this application example has a structure placing the above multi-layered semiconductor IC chip within a semiconductor package. As shown in Figure 3's typical cross-sectional diagram, in this application example the multi-layered semiconductor IC chips on which the above-noted semiconductor IC chips 1a, 1b, 1c and 1d are stacked sequentially on semiconductor package 4's chip stage 5 are affixed by an adhesive layer 3 of dielectric resin, conductive adhesive or wax material as noted above. Internal pads 6a, 6b or 6c of semiconductor package 4 formed by multiple layers with the desired bonding pads 2a, 2b and 2c (usually all bonding pads) of the above-noted chips are connected via wire 7, the external conductor, by the wire bonding method. (9 in the figure indicates the surface-protecting dielectric film).

In this application example the desired bonding pad 2d of said uppermost chip 1d and the desired bonding pad 2c of the chip 1c below it have a [word illegible] connected by outside connector 7'; and such outside conductor connections are made with a structure connecting the circuits formed on each chip to a common power source. Also, it is desirable that internal pads 6a, 6b and 6c of semiconductor package 4 in the said structure be formed with a height roughly equal to that of bonding pads 2a, 2b or 2c corresponding respectively to multi-layered semiconductor IC chips 1a, 1b and 1c.

Figure 4 is a cross-sectional diagram of one application example of this invention in a semiconductor device mounting

a multi-layered semiconductor IC chip in a semiconductor package with a face-down structure. In this application example, multi-layered semiconductor IC chips make the previously described stacks of semiconductor IC chips 1a, 1b and 1c having bump electrodes 8a, 8b and 8c of lead-tin (Pb-Sn) on bonding pads 2a, 2b and 2c. The said chips' upper surfaces are made to face downward, and wax sets them in place by above-noted bump electrodes 8a, 8b and 8c on internal pads 6a, 6b and 6c formed in multiple layers in semiconductor package 4. The structure is completed by electrically connecting said bump electrodes 8a, 8b and 8c via external conductors to the bonding pads of each layer's semiconductor IC chips 1a, 1b and 1c and to the internal wiring of the package. (9 in the figure indicates the surface-protecting dielectric film.)

In the said structure one must make the thickness of each layer's semiconductor IC chip roughly the same as the gaps between the internal wiring of the semiconductor package.

As explained above, in semiconductor devices having this invention's structure the semiconductor IC chips are fixed and stacked within semiconductor packages, so that enlargement of package dimensions can be greatly restrained and the circuit density (degree of integration) per package can be broadly increased. At the same time, because the bonding pads of each semiconductor IC chip and the internal wiring connecting to it have a structure that protrudes within the package, inspections can be done on the process functions and circuit functions for each chip when assembling the said multi-layered semiconductor ICs. So, improvements can be made in manufacturing throughput.

Also, because the structure of the internal pads of the semiconductor packages in this invention are made to correspond approximately to the structure of the multi-layered semiconductor IC chips' conductive pads, the above-noted chips' testing (? - word almost illegible) can readily be done.

In the structure of this invention's first application example, the bonding pad of each elements' integration layer protrudes, making it possible to use external conductors to connect the said chips' bonding pads, as described above. Consequently, in the multi-layered chips of semiconductor devices with the said structure it is not absolutely necessary to perfect the wiring function for a single chip, as one can form circuit functions across multiple chips.

Hence, with this invention, at the same time that one improves the manufacturing throughout of multi-layered

semiconductor IC's, one is able to miniaturize such electronic equipment as electronic computers and electronic communication equipment and give them larger capacity.

#### 4. Simple Explanation of Figures

Figures 1 and 2 show two application examples of this invention's chip-stacking structure in multi-layered semiconductor ICs, with (a) being a diagram of its upper surface and (b) being a cross-sectional diagram at the A-A' arrows. Figures 3 and 4 are cross-sectional typical diagrams of the two application examples of the structure for mounting the structure into the package for this invention.

In the figures, 1a through 1d are semiconductor IC chips which are the element-integrating layers; 2a through 2d are bonding pads, 3 is an adhesive, 4 is a semiconductor package, 5 is a chip stage, 6a through 6C are the package's internal pads, 7 and 7' are external conductors, 8a through 8c are bump electrodes, and 9 is a surface-protecting dielectric film.

Agent: Patent attorney Koshiro Matsuoka

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭57-31166

⑫ Int. Cl.

H 01 L 23/48  
21/58

識別記号

庁内整理番号

6819-5F  
6679-5F

⑬ 公開 昭和57年(1982) 2月19日

発明の数 1  
審査請求 未請求

(全 4 頁)

⑭ 半導体装置

川崎市中原区上小田中1015番地

富士通株式会社内

⑮ 特 願 昭55-105911

⑯ 出 願 人 富士通株式会社

⑰ 出 願 昭55(1980) 7月31日

川崎市中原区上小田中1015番地

⑱ 発 明 者 桜井潤治

⑲ 代 理 人 弁理士 松岡宏四郎

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

- (1) 半導体素子が集積されてなる素子集積層が多層に積層され、各層に外部との導通パッドが設けられた多層半導体集積回路チップをパッケージ内に封入した半導体装置において、該パッケージ内の内装パッドが階層状に多層に設けられ、対応する層の前記内装パッドと内部パッドとが外部導体を介して接続されてなることを特徴とする半導体装置。
- (2) 前記外部導体がボンディングワイヤーであることを特徴とする特許請求の範囲第1項記載の半導体装置。
- (3) 前記導通パッドの部分の形状と前記内装パッドの部分の形状とが相対応するよう形成され、前記多層半導体集積回路チップをフュース・ダウン状態でかつ前記外部導体として電極パッドを介して接続してなることを特徴とする特許請

求の範囲第1項記載の半導体装置。

3. 発明の詳細な説明

本発明は多層半導体集積回路チップを設けた半導体装置の構造に関する。電子計算機等の各種通信装置等の電子機器に於ては、半導体装置の集積密度を向上せしめることが装置の小型化大容量化を図る上で極めて重要なことである。

そして上記目的のために大規模集積回路 (LSI) 等の半導体集積回路 (IC) に於て、パッケージ当りの素子集積密度を向上せしめる技術として、(1) 複数個の LSI チップを 1 (個) の半導体パッケージ内に列設する構造、(2) 1 (チップ) の素子に半導体素子を形成する構造、(3) LSI チップを搭載した半導体パッケージを積み重ねる構造、(4) LSI 上に形成した絶縁層上に半導体層を形成しレーザ・アニールで該半導体層を半導体化し、該半導体層に LSI を形成する構造 (日知エレクトロニクス 2-18 (1980) P 82 参照) 等があるが、(1)~(3) の構造に於ては素子及び回路に対する集積密度の大幅な向上は期待できず、



又(4)の構造に於ては集積度及び実装密度は大幅に向上するが、各層の回路端子が突出しないので、各層に形成されているLSIのプロセス機能や回路機能を個々に検査することが困難であるという問題があった。

本発明は上記問題点に鑑み、集積回路(IC)チップを積層し、パッケージ寸法の拡大することを省力抑え且つパッケージ当りのICの集積度を大幅に向上せしめ、更にICチップ毎のプロセス機能及び回路機能を個々に測定することが可能な構造を有する多層半導体集積回路チップをパッケージ内に封入してなる半導体装置を提供する。

即ち本発明は半導体素子が集積されてなる素子集積層が多層に積層され、各層に外部との導通パッドが設けられた多層半導体集積回路チップをパッケージ内に封入した半導体装置において、該パッケージ内の内部パッドが階段状に多層に設けられ、対応する層の前記導通のパッドと内部パッドとが外部導体を介して接続されてなることを特徴とする。

パッド2a、2b、2c或るいは2dが形成されており、各層チップの大きさは、上層のチップを載せた際に下層チップのボンディング・パッドが上層チップの周辺部(外側)に突出するように、上層チップになるに従って順次小さく形成される。(図中9は表面保護絶縁膜を表わす)

そしてこれら半導体ICチップを積層固着する際の接着層3はシリコン樹脂、エポキシ樹脂或るいはポリ・イミド等の絶縁性樹脂、銀ペースト等の導電性接着剤或るいは金-錫(Au-Sn)等の合金からなるろう材により形成される。なお上記の中、ろう材を用いて接着を行う際には下層の半導体ICチップの表面保護絶縁膜9上に予めAu等からなるメタライズ層を形成しておく必要があり、又導電性接着剤或るいはろう材を用いて接着する構造に於ては、下層チップの表面保護絶縁膜9に於ける周辺部以外の所望の場所にコンタクト窓を形成し、前記導電性接着剤或るいはろう材を介して上層チップの所望の領域と縦方向に電気的接続を行う際に有利である。

#### 特開昭57- 31166(2)

以下本発明を第1図及び第2図に示すチップ積層構造に於ける二つの実施例の上面図(a)及びA-A'矢視断面図(b)、第3図及び第4図に示すパッケージへのチップ実装構造に於ける二つの実施例の断面模式図を用いて詳細に説明する。

本実施例の多層半導体ICに使用する各素子集積層として半導体ICチップは、通常行われる例えばMIS型ICの製造工程に従って、ゲート酸化膜、ゲート電極、ソース・ドレイン領域、配線等の形成が完了せしめられ、配線のための導通用パッドであるボンディング・パッド部のみを残して上面が保護膜ガラス(PSG)等の表面保護絶縁膜で覆われてなっている。なお上記ボンディング・パッド部にはペンブ状電極が形成される場合もある。

そして例えば第1図(a)及び(b)に示すような多層半導体ICチップの積層構造に於ては、第1層の半導体ICチップ1a、第2層のチップ1b、第3層のチップ1c及び第4層のチップ1dの4[辺]に沿った周辺部に導通所置設のボンディング・パ

又第2図(a)及び(b)は同じチップ・サイズの半導体ICチップを積層する際の構造を幾つかの一例として、この場合は各層半導体ICチップ例えば1a、1b、1c及び1dのボンディング・パッド2a、2b、2c及び2dは該チップに於ける隅り合った2(辺)に沿う縁部のみに形成される。そしてチップを積層する際に用いる接着層3としては前記同様絶縁性樹脂、導電性接着剤或るいはろう材が使用される。(図中9は表面保護絶縁膜を表わす)

本実施例の半導体装置は上記のような多層半導体集積回路チップを半導体パッケージ内に配設した構造を有しており、その一例に於ては第3図の断面模式図に示すように、半導体パッケージ4のチップ・ステーション5上に前記のように半導体ICチップ1a、1b、1c及び1dが順次積層された多層半導体集積回路チップが、前記同様絶縁性樹脂、導電性接着剤或るいはろう材等からなる接着層3により固着されており、上記チップの所望のボンディング・パッド(通常は絶縁のボン

ディング・パッドである) 2a, 2b及び2cと、多層に形成された半導体パッケージ4の内部パッド6a, 6b或るいは6cとがワイヤ・ボンディング等の方法により外部導体であるワイヤ7で接続されている。(図中9は表面保護絶縁膜を表わす)

そして本実施例に於ては最上層のチップ1dの所望のボンディング・パッド2dとその下層のチップ1cの所望のボンディング・パッド2cとはワイヤ・ボンディングにより外部導体7'で接続された構造を有しており、各チップに形成された回路を共通の電源に接続する際等にはこのような外部導体接続が行われる。なお該構造に於て半導体パッケージ4の内部パッド6a, 6b及び6cはそれぞれ対応する多層半導体集積回路チップ1a, 1b及び1cのボンディング・パッド2a, 2b或るいは2cとはほぼ等しい高さに形成されることが望ましい。

又第4図は多層半導体集積回路チップをフューズ・ダウン構造で半導体パッケージに搭載する本

発明の半導体装置に於ける一実施例の断面模式図で、本実施例に於てはボンディング・パッド2a, 2b, 2c部に鉛-錫(Pb-Sn)半田等からなるポンプ電極8a, 8b, 8cを有する半導体ICチップ1a, 1b, 1cを前述のように積層形成せしめた多層半導体集積回路チップを、該チップの上面を下に向け、半導体パッケージ4に多層に形成された内部パッド6c, 6b, 6a上に、前記ポンプ電極8a, 8b, 8cによりろう着固定し、該ポンプ電極8a, 8b, 8cを外部導体として介して各層半導体ICチップ1a, 1b, 1cのボンディング・パッド部とパッケージの内部配線とをそれぞれ電気的に接続した構造を有している。(図中9は表面保護絶縁膜を表わす) なお該構造に於ては各層の半導体ICチップの厚さと半導体パッケージの内部配線の層間隔はほぼ等しくする必要がある。

以上説明したように本発明の構造を有する半導体装置に於ては、半導体パッケージ内に半導体ICチップが積層固定されてなっているため、

~~パッケージ内に半導体ICチップが積層固定されて~~  
パッケージ法の拡大を極めて小さく抑えながらパッケージ当りの回路密度(集積度)を大幅に向上せしめることができると同時に、各半導体ICチップのボンディング・パッド部或るいはそれに接続する内部配線が個々にパッケージ内に引出された構造を有するので、該多層半導体ICの組み立てに際してチップ毎にプロセス検視及び回路機能を検出することができ製造歩留まりの向上が図れる。

さらに本発明の半導体装置のパッケージの内部パッドの部分の構造が多層半導体集積回路チップの導通パッドの部分の構造とはほぼ対応するように形成されているので前記チップの実装が容易に行なえる。

又本発明の第1の実施例の構造に於ては、各素子集積層のボンディング・パッドが引出しており前述のように異層チップのボンディング・パッド間を外部導体で接続することが可能である。従って該構造の半導体装置の多層チップに於ては、必

ずしも一枚のチップで回路機能を完成せしめる必要はなく、複数枚のチップにまたがって回路機能を形成することができる。

従って本発明によれば多層半導体ICの製造歩留まりが向上すると同時に、電子計算機或るいは電子通信装置等の電子機器の小型化、大容量化が図れる。

#### 4. 図面の簡単な説明

第1図及び第2図は本発明の多層半導体集積回路に於けるチップ積層構造の二つの実施例を示し(a)はその上面図、(b)はそのA-A'矢視断面図である。又第3図及び第4図は本発明に於けるパッケージへのチップ実装構造の二つの実施例の断面模式図である。

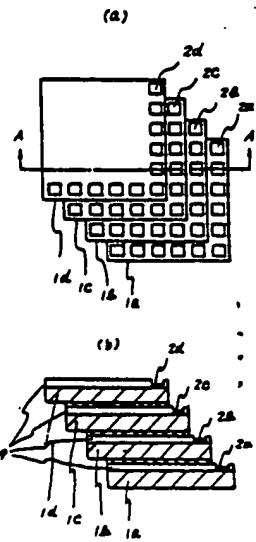
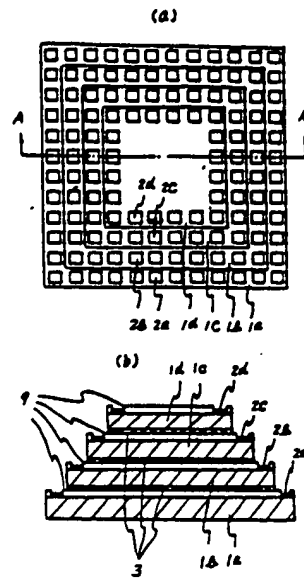
図に於て1aと1bと1cと1dは素子集積層である半導体集積回路チップ、2aと2bと2cと2dはボンディング・パッド、3は導通層、4は半導体パッケージ、5はチップ・スタージ、6aと6bと6cはパッケージの内部パッド、7及び7'は外部導体、8aと8bと8cはポンプ電極

9は表面保護絶縁膜を示す。

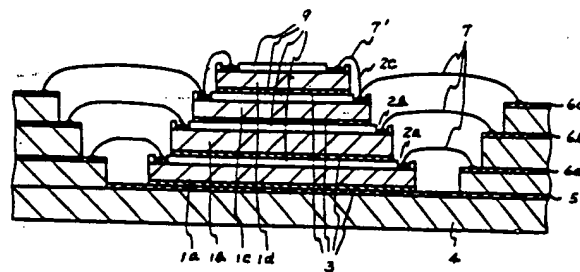
第 1 図

第 2 図

代理人 弁理士 松 岡 宏 四



第 3 図



第 4 図

